

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-201851

(43)Date of publication of application : 04.08.1995

(51)Int.Cl.

H01L 21/3205
H01L 21/28

(21)Application number : 05-334013

(71)Applicant : FUJITSU LTD

(22)Date of filing : 28.12.1993

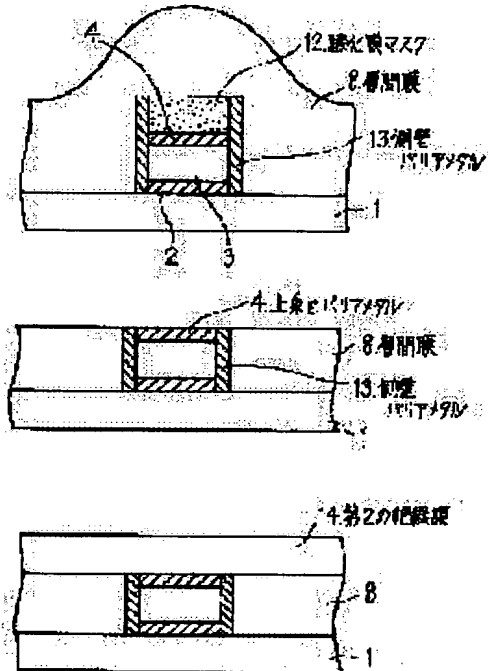
(72)Inventor : MAEDA HITOMI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To prevent oxidation of a Cu layer and simplify a process by completely covering the periphery of the Cu layer with a high-melting-point metal or a high-melting-point metal compound and setting the exposed surface of a carried barrier metal flush with the upper surface of a layer film to flatten them.

CONSTITUTION: A wiring pattern is formed, and then the wiring pattern and an oxide film mask 12 are covered together with a side-wall barrier metal 13 without the oxide film mask 12 removed. Thereby, the periphery of a Cu layer 3 is completely covered with a barrier metal, and after that, the Cu layer 3 is neither oxidized nor damaged with chemicals to be able to form a Cu wiring having a low resistance and high reliability. Further, a process is simplified by combining the removal of the oxide film mask 12 with the flattening of a layer film 8. Namely, in the process A14, the layer film 8 is chemically and mechanically polished to be flattened and at the same time the oxide film mask 12 is removed. Therefore, a Cu layer suitable for a multi-layer wiring can be formed by a simple process.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平7-201851

(43)公開日 平成7年 (1995) 8月4日

(51)Int. Cl. ⁹	識別記号	庁内整理番号	F I	技術表示箇所
H O 1 L 21/3205			H O 1 L 21/88	M
21/28	3 0 1 R	8826-4M		R

審査請求 未請求 請求項の数4 O L (全 7 頁)

(21)出願番号 特願平5-334013

(22)出願日 平成5年 (1993) 12月28日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 前田 ひとみ

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 井桁 貞一

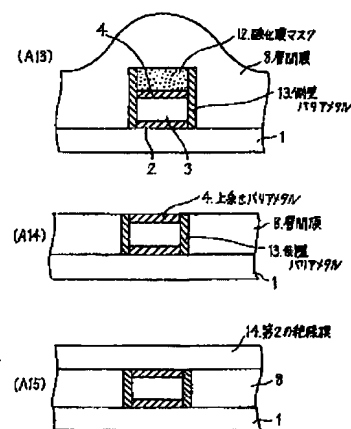
(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】本発明は、配線材料にCuを使用した半導体装置の製造方法に関し、工程途中におけるCuの酸化及び侵食を防止して、低抵抗かつ高信頼性を有するCu配線を、簡易な方法で実現することを目的とする。

【構成】半導体基板上に絶縁膜1を形成する工程と、該絶縁膜1の上の下敷きバリアメタル2を堆積する工程と、該下敷きバリアメタル2の上にCu層3を堆積する工程と、該Cu層3の上に上乘せバリアメタル4を堆積する工程と、該上乘せバリアメタル4の上に酸化膜マスク12を形成する工程と、該上乘せバリアメタル4、Cu層3、及び下敷きバリアメタル2をエッチングして配線パターン7を形成する工程と、該配線パターン7及び酸化膜マスク12を覆う側壁バリアメタル13を堆積する工程と、該側壁バリアメタル13の水平部を異方性エッチングにより除去し、垂直部のみ残す工程と、該パターンを覆う層間膜8を形成する工程と、該層間膜8及び酸化膜マスク12を同時に化学的機械研磨して、表面を平坦化する工程とを有する構成とする。

本発明の実施例の工程7D-④



【特許請求の範囲】

【請求項1】半導体基板上に絶縁膜(1)を形成する工程と、

該絶縁膜(1)の上に下敷きバリア層(2)を堆積する工程と、

該下敷きバリア層(2)の上に金属膜(3)を堆積する工程と、

該金属膜(3)の上に上乘せバリア層(4)を堆積する工程と、

該上乘せバリア層(4)の上にエッチングマスク(12)をパターニング形成する工程と、

該上乘せバリア層(4)、金属膜(3)、及び下敷きバリア層(2)をエッチングして配線パターン(7)を形成する工程と、

該配線パターン(7)及びエッチングマスク(12)を覆うように側壁バリア層(13)を堆積する工程と、

該側壁バリア層(13)の水平部を異方性エッチングにより除去し、垂直部を残す工程と、

該パターンを覆う層間膜(8)を形成する工程と、

該層間膜(8)及びエッチングマスク(12)を同時に研磨することにより、上乘せバリア層(4)を露出させ、且つ該上乘せバリア層(4)の露出面と該層間膜

(8)の上面とをそろえて平坦化する工程とを有することを特徴とする、半導体装置の製造方法。

【請求項2】金属膜(3)が、銅、又は銅合金からなることを特徴とする、請求項1の製造方法。

【請求項3】下敷きバリア層(2)、上乘せバリア層(4)、及び側壁バリア層(13)の材質が、それぞれ、TiN、W、TiW、Ta、Mo、又はNbのうちのいずれかであることを特徴とする、請求項1の製造方法。

【請求項4】エッチングマスク(12)が、シリコン酸化膜、シリコン窒化膜、又はレジストのうちのいずれかであることを特徴とする、請求項1の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、配線材料にCu又はCu合金を使用した半導体装置の製造方法に関する。近年のLSIの高集積化に伴う配線の微細化により、従来のAL(アルミニウム)合金による配線では、エレクトロマイグレーションやストレスマイグレーションが激しくなっている。そこで、ALに代わる材料としてWやMoなどの高融点金属が実用化されようとしているが、比抵抗がALの2倍以上と高いという欠点がある。

【0002】このため、次世代の配線材料として、エレクトロマイグレーション等に強く、かつ低抵抗であるCuが注目されている。

【0003】

【従来の技術】図5から図7は、従来の製造方法によってCu配線を形成する場合の標準的な工程フローであ

る。まず、半導体基板上に、平坦な絶縁膜1を形成する(図5B1)。絶縁膜1は、例えば、SiO₂、PSG、BPSG等である。

【0004】この上に、下敷きバリアメタル2、Cu層3、上乘せバリアメタル4を、スパッタリング法によって順次形成し(B2~B4)、メタルの3層構造とする。下敷きバリアメタル2は、Cu層3が絶縁膜1と反応することを防ぐことのほか、Cu3と絶縁膜1とを密着させる役割をも果たす。上乘せバリアメタル4は、後のフォトリソグラフィ工程での薬品処理や酸化から、Cu層3を保護するために設ける。

【0005】次に、配線パターンを形成するため、レジスト5を全面塗布し(B5)、通常フォトリソグラフィ法によって露光及び現像を行い、レジストマスク6を形成する(B6)。これをマスクにしてエッチングを行って配線パターン7を形成し(B7)、最後に酸素アッシングでレジストマスク6を除去し、配線パターン7が完成する(B8)。

【0006】更に、層間膜8をCVD法で成長させ、配線パターン7全体を覆う(B9)。多層配線の場合は、再度、B2から上記の工程が繰り返される。

【0007】

【発明が解決しようとする課題】Cuは非常に酸化されやすく、大気中に数時間放置しただけで表面が酸化する。また、プロセス中にかかる熱によって、Si、SiO₂、PSG等と容易に反応してしまう。更に、耐薬品性が弱く、薬品処理の際、容易に侵食される。プロセス中にかかる熱によってSiやSiO₂等と反応し、酸化が内部まで進んでしまうと、長所である低抵抗が損なわれる。更に、薬品に侵食された場合は、配線としての信頼性が保証できない。

【0008】上記の図5から図7の従来の工程フローに沿って、かかる問題点を具体的に述べる。従来技術においても、かかる問題に対し、ある程度の対策はなされている。即ち、上乘せバリアメタル4を設けることによって、工程B4ではCu層3の自然酸化を防ぎ、B5ではレジスト塗布の前処理において使用する界面活性剤等からCu層3を保護し、B6では現像液等からCu層3を保護する。更に、上乘せバリアメタル4は、B8ではレジストの酸素アッシング時にCu層3の上面が酸化されることを防ぎ、B9では層間膜8成長時の酸化及び層間膜8そのものとの反応から、Cu層3の上面を保護する。

【0009】しかし、かかる上乘せバリアメタル4によっても、上記問題点の対策は万全ではない。即ち、工程B8においてレジストの酸素アッシングを行う際、Cu層3の側壁が酸化されてしまう。B9において層間膜8を成長する際にもCu層3の側壁が酸化されてしまい、更に、その後の熱処理においてCu層3の側壁が層間膜8と反応してしまう。

【0010】最近の集積回路の微細化に伴って配線の幅が小さくなり、その断面形状は、横長から正方形、更には縦長へと移り変わりつつある。従って、配線の側壁が酸化されてその部分の抵抗が高くなった場合に、配線全体の抵抗に与える影響が大きくなりつつある。特にCu配線の場合には酸化が内部まで進行するため、かかる問題は重大である。

【0011】本発明は、かかる問題点を解決し、Cu本来の低抵抗かつ高信頼性を有するCu配線を、実用可能な簡易なプロセスによって実現することを目的とする。

【0012】

【課題を解決するための手段】本発明の製造方法は、半導体基板上に絶縁膜1を形成する工程(A1)と、該絶縁膜1の上に下敷きバリアメタル2を堆積する工程(A2)と、該下敷きバリアメタル2の上にCu層3を堆積する工程(A3)と、該Cu層3の上に上乗せバリアメタル4を堆積する工程(A4)と、該上乗せバリアメタル4の上に酸化膜マスク12をパターンニング形成する工程(A5~A9)と、該上乗せバリアメタル4、Cu層3、及び下敷きバリアメタル2をエッチングして配線パターン7を形成する工程(A10)と、該配線パターン7及び酸化膜マスク12を覆うように側壁バリアメタル13を堆積する工程(A11)と、該側壁バリアメタル13の水平部を異方性エッチングにより除去し、垂直部を残す工程(A12)と、該パターンを覆う層間膜8を形成する工程(A13)と、該層間膜8及び酸化膜マスク12を同時に研磨することにより、上乗せバリアメタル4を露出させ、且つ該上乗せバリアメタル4の露出面と該層間膜8の上面とをそろえて平坦化する工程(A14)とを有することを特徴とする。

【0013】

【作用】図1から図4を用いて本発明の作用を説明する。本発明では、工程A10で配線パターン7を形成した後、酸化膜マスク12を除去しないで、該配線パターン7と酸化膜マスク12とを、まとめて側壁バリアメタル13で覆ってしまう(A11)。これによって、Cu層3の周囲が完全にバリアメタルによって覆われ、以後、いかなる工程があろうとも、Cu層3が酸化されたり、薬品に侵されたりすることはない。

【0014】結局、本発明によれば、工程フローの最初から最後に至るまで、Cu層3が酸化されたり、薬品にさらされたりすることが全くなり、低抵抗かつ高信頼性を有するCu配線を形成できる。更に、本発明は、酸化膜マスク12の除去と層間膜8の平坦化とを組み合わせ、工程の短縮化を図っている。即ち、工程A14において、層間膜8を化学的機械研磨して平坦化すると同時に、酸化膜マスク12を除去している。

【0015】従って、本発明によれば、簡易な工程で、多層配線に適したCu配線を形成することが可能である。

【0016】

【実施例】図1から図4に、本発明の実施例の工程フローを示す。先ず、半導体基板上に平坦な絶縁膜1を形成する(A1)。絶縁膜1は、例えば、SiO₂、PSG、BPSG等からなる膜である。この絶縁膜1の上に、TiNをスパッタリング法によって500Å堆積することにより、下敷きバリアメタル2を形成する(A2)。TiNのスパッタリングは、例えば、圧力3mTorrのArとN₂との混合ガス雰囲気中で、パワー4kWの条件で行われる。下敷きバリアメタル2は、Cu層3が絶縁膜1と反応することを防ぐ役割、及びCu層3が絶縁膜1から剥がれないようにする密着層の役割を果たす。

【0017】次に、この上に、Cuをスパッタリング法によって4000Å堆積することにより、Cu層3を形成する(A3)。Cuのスパッタリングは、例えば、圧力5mTorrのAr雰囲気中で、パワー4kWの条件で行われる。更に、この上に、TiNをスパッタリング法によって1000Å堆積することにより、上乗せバリアメタル4を形成する(A4)。上乗せバリアメタル4は、Cu層3の上面を酸化及び薬品による侵食から保護する役割を果たす。Cu層3の上面の自然酸化を避けるため、Cu層3をスパッタリングした後、大気に暴露しないで連続して上乗せバリアメタル4を形成することが望ましい。更に、上乗せバリアメタル4は、後の工程A14において化学的機械研磨のストッパーの役割を果たすので、下敷きバリアメタル2よりも厚目の1000Åとする。

【0018】次に、A5からA9の工程において、配線のパターンニングを行うためのエッチングマスクたる酸化膜マスク12を形成する。先ず、プラズマCVD法又はバイアスECR-CVD法等により、酸化膜11を4000Å堆積する(A5)。この上にレジスト5を塗布し(A6)、通常的光リソグラフィ法によりレジストマスク6を形成する(A7)。これをマスクとして酸化膜11のエッチングを行い(A8)、最後にレジストマスク6を除去して酸化膜マスク12が完成する(A9)。

【0019】次に、酸化膜マスク12をマスクとして反応性イオンエッチングを行い、配線パターン7を形成する(A10)。反応性イオンエッチングは、例えば、基板温度400℃、圧力2.6×10⁻²TorrのSiCl₄、N₂、CH₄の混合ガス中で、高周波電力400Wを印加して行われる。レジストをマスクとしないで、わざわざ酸化膜マスク12を形成してこれをマスクとしたのは、上記400℃の高温にレジストが耐えられないからである。

【0020】次に、酸化膜マスク12を除去しないで、直ちに側壁バリアメタル13を熱CVD法により堆積する(A11)。側壁バリアメタル13は、膜厚500Å

のTiNである。熱CVD法によるTiNは、例えば、圧力100mTorrの、四塩化チタン、アンモニア、メチルヒドラジンの混合ガスを用い、温度450℃で堆積する。なお、このTiNは、スパッタリング法により形成してもよい。

【0021】以上の工程によって、Cu層3を酸化雰囲気や侵食性ある薬品にさらすことなく、その周囲をTiNで完全に囲うことができた。次に、異方性エッチングを行い、側壁バリアメタル13の垂直部分を残して水平部分のみをエッチング除去する(A12)。水平部分とは、絶縁膜1の上にある部分、及び酸化膜マスク12の上面に載っている部分である。絶縁膜1の上にある部分は、隣り合う配線どうしを電氣的に分離するため除去することが必要であり、酸化膜マスク12の上面に載っている部分は、後の工程A14で化学的機械研磨の妨げとならないために除去することが必要である。

【0022】次に、かかるパターン全体を層間膜8で覆う(A13)。層間膜8は、例えばPSG、SiO₂等である。その膜厚は、次工程A14で平坦化するため、配線パターンよりも厚くする。ここでは、7000Å堆積する。次に、上乘せバリアメタル4が現れるまで、化学的機械研磨を行う(A14)。この工程により、酸化膜マスク12の全部と側壁バリアメタル13のうち余分な部分が除去され、且つ表面が完全に平坦化される。

【0023】更に上層の配線を形成する場合は、この上に第2の絶縁膜14を形成し(A15)、A2からの工程を繰り返す。

【0024】

【発明の効果】本発明によれば、Cu層3の周囲を高融点金属又は高融点金属化合物で完全に覆ってしまうので、Cu層3が酸化されることなく、また、薬品によって侵食されることもない。従って、Cu本来の低抵抗かつ高信頼性を有するCu配線を形成することができる。

【0025】更に、本発明では、Cu層3の周囲を囲むための工程と平坦化工程とを融合させ、工程の簡略化を図っている。従って、本発明によれば、簡易な工程で、多層配線に適した平坦化構造を有する、低抵抗かつ高信頼性のあるCu配線を形成することが可能である。

【0026】

【図面の簡単な説明】

【0027】

【図1】本発明の製造方法の実施例を示す第1の図である(工程A1~A4)。

【0028】

【図2】本発明の製造方法の実施例を示す第2の図である(工程A5~A8)。

【0029】

10 【図3】本発明の製造方法の実施例を示す第3の図である(工程A9~A12)。

【0030】

【図4】本発明の製造方法の実施例を示す第4の図である(工程A13~A15)。

【0031】

【図5】従来技術の製造方法を示す第1の図である(工程B1~B4)。

【0032】

20 【図6】従来技術の製造方法を示す第2の図である(工程B5~B8)。

【0033】

【図7】従来技術の製造方法を示す第3の図である(工程B9)。

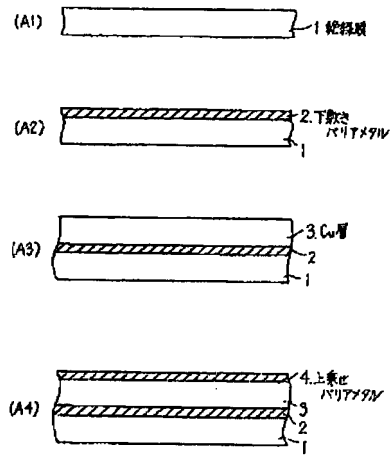
【0034】

【符号の説明】

- | | |
|------|----------------|
| 1 | 絶縁膜 |
| 2 | 下敷きバリアメタル(TiN) |
| 3 | Cu層 |
| 4 | 上乘せバリアメタル(TiN) |
| 30 5 | レジスト |
| 6 | レジストマスク |
| 7 | 配線パターン |
| 8 | 層間膜 |
| 11 | 酸化膜 |
| 12 | 酸化膜マスク |
| 13 | 側壁バリアメタル(TiN) |
| 14 | 第2の絶縁膜 |

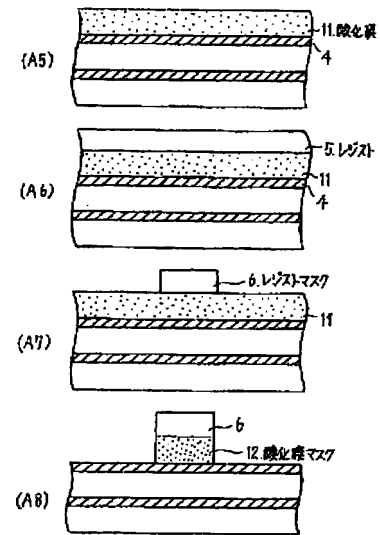
【図1】

本発明の実施例の工程フロー①



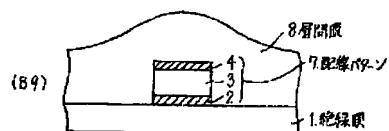
【図2】

本発明の実施例の工程フロー②

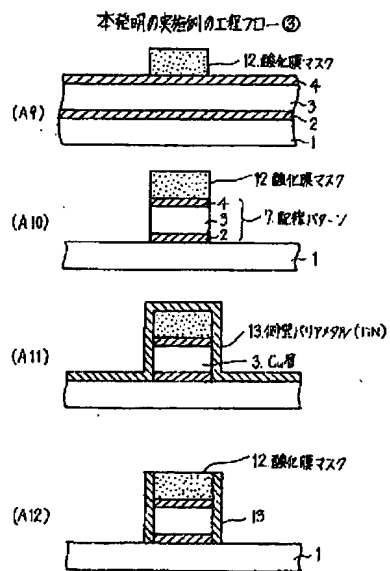


【図7】

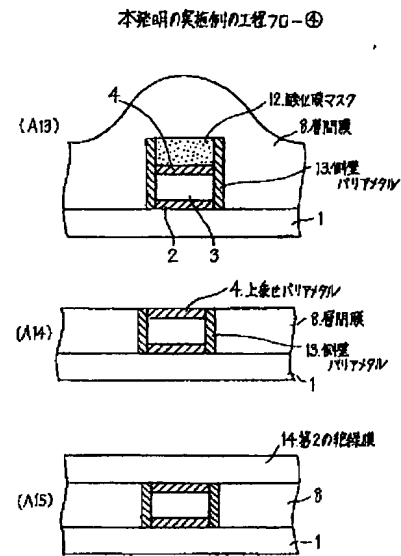
従来技術による製造方法の工程フロー③



【図3】

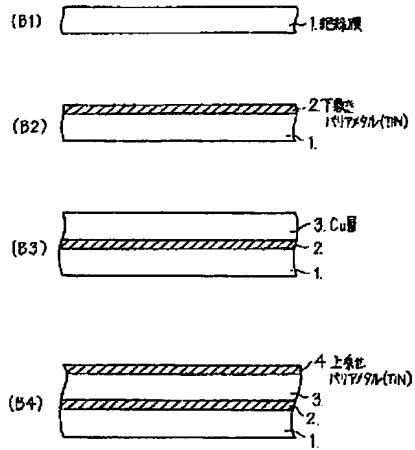


【図4】



【図5】

従来技術による製造方法の工程フロー①



【図6】

従来技術による製造方法の工程フロー②

